

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-53078

(P2001-53078A)

(43) 公開日 平成13年2月23日 (2001.2.23)

(51) Int.Cl.⁷

識別記号

F I

テマコード (参考)

H 0 1 L 21/322

H 0 1 L 21/322

Y 4 G 0 7 7

C 3 0 B 29/06

C 3 0 B 29/06

A

審査請求 未請求 請求項の数3 O L (全 8 頁)

(21) 出願番号 特願平11-227472

(22) 出願日 平成11年8月11日 (1999.8.11)

(71) 出願人 000228925

三菱マテリアルシリコン株式会社

東京都千代田区大手町一丁目5番1号

(72) 発明者 降屋 久

東京都千代田区大手町1丁目5番1号 三

菱マテリアルシリコン株式会社内

(72) 発明者 鈴木 洋二

東京都千代田区大手町1丁目5番1号 三

菱マテリアルシリコン株式会社内

(74) 代理人 100085372

弁理士 須田 正義

Fターム (参考) 4G077 AA02 AB01 BA04 CF00 FB03

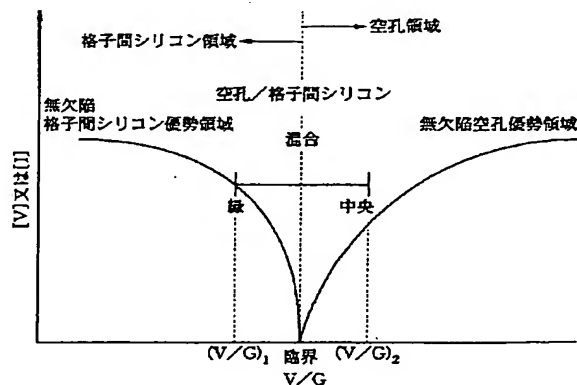
FE11 FE13 FG11 GA01 HA12

(54) 【発明の名称】 シリコンウェーハのIG処理法及びこれにより作られたIGウェーハ並びにこれに用いるシリコン単結晶インゴット

(57) 【要約】

【課題】 ウェーハの状態での熱処理回数が少なく済み、900℃以下の熱処理で所望のIG効果を奏する。IG能力の高いIGウェーハを得る。このIGウェーハに適するシリコン単結晶インゴットを得る。

【解決手段】 シリコン単結晶インゴットから切出された研削研磨した直後のシリコンウェーハを室温から800～900℃まで10℃/分以上の昇温速度で急速加熱し、0.5～30分間保持するIG処理法である。インゴットをシリコン融液からその全ての領域が空孔型点欠陥の凝集体及び格子間シリコン型点欠陥の凝集体が存在しないパーフェクト領域[P]からなるように引上げ、かつ引上げられた転位発生を伴わない酸素析出物を $1 \times 10^4 \sim 1 \times 10^{10}$ 個/cm³含むインゴットを室温～650℃の温度で0～3時間保持し、更に700～800℃の温度で3～10時間保持した後、室温まで冷却する。



【特許請求の範囲】

【請求項1】 シリコン単結晶インゴットから切出された研削研磨した直後のシリコンウェーハを室温から800～900℃まで10℃/分以上の昇温速度で急速加熱し、0.5～30分間保持するシリコンウェーハのIG処理法であって、

インゴット内で空孔型点欠陥の凝集体及び格子間シリコン型点欠陥の凝集体が存在しないパーフェクト領域を

【P】とすると、前記シリコン単結晶インゴットをシリコン融液から全ての領域が前記パーフェクト領域

【P】からなるように引上げ、かつ引上げられた前記インゴットを室温～650℃の温度で0～3時間保持し、更に700～800℃の温度で3～10時間保持した後、室温まで冷却することを特徴とするシリコンウェーハのIG処理法。

【請求項2】 請求項1記載のIG処理法から作られたIGウェーハであって、

酸素析出物の形成されない層がウェーハ表面から1～100μmの深さにわたって形成され、前記層より深い部分に $1 \times 10^8 \sim 1 \times 10^{10}$ 個/cm³の酸素析出物を有することを特徴とするIGウェーハ。

【請求項3】 シリコン単結晶インゴット内で空孔型点欠陥の凝集体及び格子間シリコン型点欠陥の凝集体が存在しないパーフェクト領域を【P】とすると、シリコン融液から全ての領域が前記パーフェクト領域【P】からなるように引上げられたシリコン単結晶インゴットであって、

転位発生を伴わない酸素析出物を $1 \times 10^8 \sim 1 \times 10^{10}$ 個/cm³含むことを特徴とするIGウェーハ用シリコン単結晶インゴット。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、DRAM等のLSI作製に適するシリコンウェーハを得るために、シリコンウェーハを加熱してイントリンシックゲッタリング（intrinsic gettering、以下、IGという。）処理する方法に関する。更に詳しくはチョクラルスキー法（以下、CZ法という。）により引上げられたシリコン単結晶インゴット、及びこのインゴットから切出されたシリコンウェーハを900℃以下の低温でIG処理する方法に関するものである。

【0002】

【従来の技術】近年、メガビットメモリの量産化に基づいてDRAM等の半導体素子の高集積化が要求され、シリコンウェーハについてもより一層の高品質化が要望されている。この要望に応えるための1つの方法として、IG処理法がある。この処理法はシリコンウェーハの内部に予め欠陥を作るか、或いは不純物を故意に添加しておき、その後のプロセス上で発生する汚染や欠陥を予め作った欠陥や汚染の周辺に吸収し、デバイスを作るウ

ェーハ表面の近傍領域に欠陥や汚染が発生するのを防ぐ処理法である。一方、近年のデバイスの高集積化によりデバイス工程における熱処理温度が1000℃以下の低温化傾向にあり、この低温化に伴って前工程であるIG処理においても低温化が強く望まれている。

【0003】このため、本出願人は、シリコン単結晶インゴットから切出された、研削研磨した直後のシリコンウェーハを500～800℃で0.5～20時間保持してウェーハ内に酸素析出核を導入する工程と、この酸素析出核を含むシリコンウェーハを室温から800～1000℃まで急速加熱して0.5～20分間保持する工程と、急速加熱して0.5～20分間保持したシリコンウェーハを更に室温まで放冷する工程と、放冷したシリコンウェーハを500～700℃から2～10℃/分の速度で800～1100℃まで加熱しその温度で2～48時間保持する工程とを含むIG処理法について提案した（特開平8-45945）。

【0004】この処理法では、上記温度条件で急速加熱すると、ウェーハ表面は勿論、ウェーハ内部も一時的に熱平衡濃度以下になり、格子間シリコン原子が欠乏状態になり、酸素析出核が安定に成長し易い環境になる。同時にこの欠乏した格子間シリコン原子を補って安定状態になるために、ウェーハ表面では格子間シリコン原子の生成が起り、生成した格子間シリコン原子はウェーハ内部に拡散し始める。格子間シリコン原子の欠乏状態にあったウェーハ表面付近は格子間シリコン原子の生成ですぐに飽和状態になり、酸素析出核は消滅を始める。しかし、ウェーハ表面で生成した格子間シリコン原子がウェーハ内部にまで拡散するにはある程度の時間を要するため、ウェーハ表面から内部に深く入るほど酸素析出核が成長し易い環境が長く続く。従って、ウェーハ表面に近いほど酸素析出核の密度は低く、またこの熱処理時間（0.5～20分）が長いほど酸素析出核、即ち欠陥の形成されない層（以下、DZ層という。）の厚さは大きくなる。また800～1000℃の範囲で温度が高いほど、格子間シリコン原子の拡散係数が大きく、短時間でDZ層の厚さは大きくなる。急速加熱し、室温に放冷した後で800～1100℃まで再び加熱すると、急速加熱で生き残ったウェーハ内部の酸素析出核が成長して酸素析出物となり、安定なIG源となる。

【0005】

【発明が解決しようとする課題】しかし、上記IG処理法は、IG源を生成するための前処理として、研削研磨した直後のシリコンウェーハを500～800℃で0.5～20時間保持してウェーハ内に酸素析出核を導入する工程を必要とし、更に急速加熱を行った後でウェーハ内部の酸素析出核を酸素析出物に成長させるための熱処理を必要とした。このため、ウェーハの状態での熱処理回数が多い不具合があった。本発明の目的は、シリコンウェーハの状態での熱処理回数が少なく済み、900

℃以下の熱処理で所望のIG効果を奏するIG処理法を提供することにある。本発明の別の目的は、この処理法で作られたIG能力の高いIGウェーハを提供することにある。本発明の更に別の目的は、このIGウェーハに適するシリコン単結晶インゴットを提供することにある。

【0006】

【課題を解決するための手段】請求項1に係る発明は、シリコン単結晶インゴットから切出された研削研磨した直後のシリコンウェーハを室温から800～900℃まで10℃/分以上の昇温速度で急速加熱し、0.5～30分間保持するシリコンウェーハのIG処理法であって、インゴット内で空孔型点欠陥の凝集体及び格子間シリコン型点欠陥の凝集体が存在しないパーフェクト領域を[P]とすると、シリコン単結晶インゴットをシリコン融液から全ての領域がこのパーフェクト領域[P]からなるように引上げ、かつ引上げられたインゴットを室温～650℃の温度で0～3時間保持し、更に700～800℃の温度で3～10時間保持した後、室温まで冷却することを特徴とするIG処理法である。インゴットを点欠陥の凝集体の存在しない状態で引上げ、更に上記条件で熱処理すると、インゴットに転位発生を伴わない酸素析出物が $1 \times 10^6 \sim 1 \times 10^{10}$ 個/cm³の密度で生成される。このため、従来のウェーハ内に酸素析出核を導入する前熱処理工程及び酸素析出核の成長工程が不要となり、インゴットから切出された研削研磨した直後のウェーハを上記条件で急速加熱することにより、高いIG効果を奏する。

【0007】請求項2に係る発明は、請求項1記載のIG処理法から作られたIGウェーハであって、酸素析出物の形成されない層(DZ層)がウェーハ表面から1～100μmの深さにわたって形成され、このDZ層より深い部分の酸素析出物密度が $1 \times 10^6 \sim 1 \times 10^{10}$ 個/cm³であることを特徴とするIGウェーハである。請求項1に係る方法でIG処理したウェーハは、上記特性を有し、高いIG効果を奏する。

【0008】

【発明の実施の形態】本発明のシリコンウェーハは、CZ法によりホットゾーン炉内のシリコン融液からインゴットをボロンコフ(Voronkov)の理論に基づいた所定の引上げ速度プロファイルで引上げた後、このインゴットをスライスして作製される。一般的に、CZ法によりホットゾーン炉内のシリコン融液からシリコン単結晶のインゴットを引上げたときには、シリコン単結晶における欠陥として、点欠陥(point defect)と点欠陥の凝集体(agglomerates: 三次元欠陥)が発生する。点欠陥は空孔型点欠陥と格子間シリコン型点欠陥という二つの一般的な形態がある。空孔型点欠陥は一つのシリコン原子がシリコン結晶格子で正常的な位置の一つから離脱したものである。このような空孔が空孔型点欠陥になる。一

方、原子がシリコン結晶の格子点以外の位置(インターstitial site)で発見されるとこれが格子間シリコン点欠陥になる。

【0009】点欠陥は一般的にシリコン融液(熔融シリコン)とインゴット(固状シリコン)の間の接触面で形成される。しかし、インゴットを継続的に引上げることによって接触面であった部分は引上げとともに冷却し始める。冷却の間、空孔型点欠陥又は格子間シリコン型点欠陥は拡散により互いに合併して、空孔型点欠陥の凝集体(vacancy agglomerates)又は格子間シリコン型点欠陥の凝集体(interstitial agglomerates)が形成される。言い換えれば、凝集体は点欠陥の合併に起因して発生する三次元構造である。空孔型点欠陥の凝集体は、COP(Crystal Originated Particle)、LSTD(Laser Scattering Tomograph Defects)又はFPD(Flow Pattern Defects)と呼ばれる欠陥を含み、格子間シリコン型点欠陥の凝集体はLD(Interstitial-type Large Dislocation)と呼ばれる欠陥を含む。COPとは、鏡面研磨後のシリコンウェーハをアンモニアと過酸化水素の混合液で洗浄すると、ウェーハ表面に形成される結晶に起因したビットである。このビットもウェーハをパーティクルカウンタで測定すると、本来のパーティクルとともにパーティクルとして検出される。LSTDとは、シリコン単結晶内に赤外線を照射したときにシリコンとは異なる屈折率を有し散乱光を発生する源であり、FPDとは、インゴットをスライスして作製されたシリコンウェーハを30分間セコ(Secco)エッチング液で化学エッチングしたときに現れる特異なフローパターンを呈する痕跡の源である。またLDは、侵入型転位であって、転位クラスタとも呼ばれたり、或いはこの欠陥を生じたシリコンウェーハをフッ酸を主成分とする選択エッチング液に浸漬するとビットを生じることから転位ビットとも呼ばれる。

【0010】ボロンコフの理論は、欠陥の数が少ない高純度インゴットを成長させるために、インゴットの引上げ速度をV(mm/分)、ホットゾーン構造でインゴット-シリコン融液の接触面の温度勾配をG(℃/mm)とすると、 V/G (mm²/分・℃)を制御することである。この理論では、図1に示すように、 V/G は関数として空孔濃度及び格子間シリコン濃度を図式的に表現し、ウェーハで空孔/格子間シリコン領域の境界が V/G によって決定されることを説明している。より詳しくは、 V/G 比が臨界点以上では空孔型点欠陥が支配的に存在するインゴットが形成される反面、 V/G 比が臨界点以下では格子間シリコン型点欠陥が支配的に存在するインゴットが形成される。

【0011】本発明の所定の引上げ速度プロファイルは、インゴットがホットゾーン炉内のシリコン溶融物から引上げられる時、温度勾配に対する引上げ速度の比(V/G)が格子間シリコン型点欠陥の凝集体の発生を

防止する第1臨界比 $(V/G)_1$ 以上であって、空孔型点欠陥の凝集体をインゴットの中央にある空孔型点欠陥が支配的に存在する領域内に制限する第2臨界比 $(V/G)_2$ 以下に維持されるように決められる。

【0012】この引上げ速度のプロファイルは、実験的に基準インゴットを軸方向にスライスすることで、又はこれらの技術を組合わせることで、シミュレーションによって上記ボロンコフの理論に基づき決定される。即ち、この決定は、シミュレーションの後、インゴットの軸方向スライス及びスライスされたウェーハの確認を行い、更にシミュレーションを繰り返すことによりなされる。シミュレーションのために複数種類の引上げ速度が所定の範囲で決められ、複数個の基準インゴットが成長される。図2に示すように、シミュレーションのための引上げ速度プロファイルは1.2mm/分のような高い引上げ速度(a)から0.5mm/分の低い引上げ速度(c)及び再び高い引上げ速度(d)に調整される。上記低い引上げ速度は0.4mm/分又はそれ以下であることもあってよく、引上げ速度(b)及び(d)での変化は線形的なものが望ましい。

【0013】異なった速度で引上げられた複数個の基準インゴットは各別に軸方向にスライスされる。最適の V/G が軸方向のスライス、ウェーハの確認及びシミュレーションの結果の相関関係から決定され、続いて最適な引上げ速度プロファイルが決定され、そのプロファイルでインゴットが製造される。実際の引上げ速度プロファイルは所望のインゴットの直径、使用される特定のホットゾーン炉及びシリコン融液の品質等を含めてこれに限定されない多くの変数に依存する。

【0014】図3はシミュレーションと実験的な技術の結合を利用して決定された100cmの長さで200mmの直径を有するインゴットを成長させるための引上げ速度のプロファイルを示す。ここでは三菱マテリアルシリコン(株)生野工場で作製されたモデル名Q41のCZ法に基づいたホットゾーン炉が使用された。

【0015】引上げ速度を徐々に低下させて V/G を連続的に低下させ、再び引上げ速度を徐々に高めて V/G を連続的に高めたときのインゴットの断面図を描いてみると、図4に示される事実が分かる。図4には、インゴット内での空孔型点欠陥が支配的に存在する領域が

[V]、格子間シリコン型点欠陥が支配的に存在する領域が[I]、及び空孔型点欠陥の凝集体及び格子間シリコン型点欠陥の凝集体が存在しないパーフェクト領域が[P]としてそれぞれ示される。図4に示すように、インゴットの軸方向位置 P_1 及び P_2 は、中央に空孔型点欠陥が支配的に存在する領域を含む。位置 P_1 及び P_2 は格子間シリコン型点欠陥が支配的に存在するリング及び中央のパーフェクト領域を含む。また位置 P_3 及び P_4 は、本発明のインゴットに係るもので中央に空孔型点欠陥がない縁部分に格子間シリコン型点欠陥もないので全て

パーフェクト領域である。

【0016】図4から明らかなように、複数個の位置 P_1 及び P_2 にそれぞれ対応したウェーハ W_1 及び W_2 は、中央に空孔型点欠陥が支配的に存在する領域を含む。ウェーハ W_1 及び W_2 は格子間シリコン型点欠陥が支配的に存在するリング及び中央のパーフェクト領域を含む。またウェーハ W_3 及び W_4 は中央に空孔型点欠陥がない縁部分に格子間シリコン型点欠陥もないので全てパーフェクト領域である。ウェーハ W_1 及び W_2 は、図5に示すように全てパーフェクト領域を作るように選定して決められた引上げ速度プロファイルで成長したインゴットをスライスして作製される。図6はその平面図である。参考までに、別の引上げ速度プロファイルで成長したインゴットをスライスして作製されたウェーハ W_1 及び W_2 が図7に示される。図8はその平面図である。本発明のインゴットは、図4に示す位置 P_1 及び P_2 の全てがパーフェクト領域[P]からなるように V/G が決められ、図9に示す引上げ装置により引上げられる。この引上げ装置10では、石英るつば11内に貯留されたシリコン融液12から引上げ手段13で引上げられたシリコン単結晶インゴット14はチャンバ16の上方に設けられた補助ヒータ17により加熱される。石英るつば11は黒鉛るつば18により支持され、両るつばは回転軸19により回転する。21はヒータ、22は保温筒、23は種結晶、24は冷却筒である。引上げられたインゴット14の周囲には筒状の熱遮蔽部材26が設けられ、ヒータ21及びシリコン融液12からのインゴットへの輻射熱が遮蔽されるようになっている。

【0017】本発明のシリコン融液12から引上げられたインゴット14は熱遮蔽部材26及び冷却筒24により室温～650℃に冷却され、この温度で0～3時間保持された後、補助ヒータ17により700～800℃で3～10時間保持される。所定の長さ引上げられた後、インゴット14はチャンバ16から取り出され、室温まで冷却される。700～800℃の温度範囲で3～10時間インゴットを熱処理すると、インゴットに転位を伴わない酸素析出物(以下、BMD(Bulk Micro Defect)という。)が $1 \times 10^6 \sim 1 \times 10^{10}$ 個/cm³の密度で形成される。700℃未満又は3時間未満では 1×10^6 個/cm³未満のBMD密度しか得られず、後のシリコンウェーハの状態が急速加熱したときに十分なIG効果を得にくい。また800℃又は10時間をそれぞれ超えると転位を伴った酸素析出物が 1×10^{10} 個/cm³の密度を上回って形成され、後のシリコンウェーハの状態が急速加熱しても転位が残り、ウェーハ表面にDZ層が形成できなくなる。補助ヒータによる好ましい熱処理条件は、700～750℃、0～1.5時間である。この補助ヒータを用いた熱処理により、特開平8-45945号公報に示されるように急速加熱の前にウェーハの状態が500～800℃の比較的低温で0.5～20

時間保持して、ウェーハ内に高密度に酸素析出核を導入しなくてもよい。引上げられたインゴットからはシリコンウェーハが切出され、このウェーハは研削され、面取り加工が施された後、鏡面研磨される。

【0018】本発明の急速加熱の方法は、転位発生を伴わない酸素析出物を上記割合で含む室温のシリコンウェーハを800～900℃の温度に加熱した炉に素早く入れる方法が好ましいが、転位発生を伴わない酸素析出物を上記割合で含む室温のシリコンウェーハを高熱発生可能なランプを用いた高速加熱炉内に配置し、ランプスイッ

10 ャを入れて熱射を開始し急速に800～900℃の温度に加熱させる方法でもよい。ここで急速加熱とは、10℃/分以上、好ましくは30℃/分以上の昇温速度で熱処理することをいう。ランプ光照射で急速加熱する場合にはウェーハを均一に加熱できるため、予め加熱した炉に入れる場合と比較してウェーハがより反りにくいという利点がある。急速加熱して到達する最終温度が、800℃未満ではウェーハ表面近傍における酸素析出物の消滅が不十分でDZ層を十分に確保できない。また900℃を越えると、この高温の熱処理に起因して、シリ

20 コンウェーハに反りが発生したり、ウェーハが汚染し易くなるなどの悪影響が起り易い。好ましくは850～900℃である。また保持時間が0.5分未満ではウェーハ表面における酸素析出物を縮小させる時間が短すぎ、ウェーハ表面での酸素析出物の消滅が不十分でDZ層を十分に確保できない。また30分を越えると、必要以上の厚さのDZ層が得られ、しかも生産性が低いという不具合を生じる。このため、保持時間は0.5～30分に決められる。好ましくは10～30分である。急速加熱は窒素雰囲気中、酸素雰囲気中又は大気中で行われる。好ましくは窒素雰囲気中である。この急速加熱の後、シリ

30 コンウェーハを室温まで放冷すれば、ウェーハ表面から1～100μmの深さにわたってDZ層が形成され、このDZ層より深い部分のBMD密度が $1 \times 10^8 \sim 1 \times 10^{10}$ 個/cm³のIGウェーハが得られる。

【0019】

【実施例】次に本発明の実施例を比較例とともに説明する。

<実施例1>図9に示す引上げ装置10を用いて、インゴット全長が図4に示した位置P₂に対応する領域であって、図1に示したV/Gが(V/G)₁以上(V/G)₂以下の領域に入るように、インゴットを引上げた。引上げられたインゴット14がT₁=25℃まで降温した後、上部の補助ヒータ17によりT₂=700℃まで昇温し、そこで5時間保持した。室温まで冷却されたインゴットからシリコンウェーハを切出し、研削研磨し、面取り加工を施した後、化学エッチング処理によりウェーハ表面のダメージを除去して鏡面シリコンウェーハを得た。この鏡面ウェーハを昇温速度30℃/分で室温から850℃まで昇温し、5分間保持した後、室温まで放冷

した。

【0020】<実施例2>補助ヒータによる熱処理温度T₂=800℃にした以外は、実施例1と同一条件でインゴットを引上げ、このインゴットから切出されたシリコンウェーハを実施例1と同一条件で急速加熱した。

<実施例3>補助ヒータによる熱処理温度T₂=800℃、T₂における保持時間を10時間にした以外は、実施例1と同一条件でインゴットを引上げ、このインゴットから切出されたシリコンウェーハを実施例1と同一条件で急速加熱した。

<実施例4>引上げられたインゴットをT₁=450℃まで降温した後、補助ヒータによる熱処理温度T₂=700℃にした以外は、実施例1と同一条件でインゴットを引上げ、このインゴットから切出されたシリコンウェーハを実施例1と同一条件で急速加熱した。

【0021】<実施例5>引上げられたインゴットをT₁=550℃まで降温した後、補助ヒータによる熱処理温度T₂=700℃にした以外は、実施例1と同一条件でインゴットを引上げ、このインゴットから切出されたシリコンウェーハを実施例1と同一条件で急速加熱した。

<実施例6>引上げられたインゴットをT₁=650℃まで降温した後、補助ヒータによる熱処理温度T₂=700℃にした以外は、実施例1と同一条件でインゴットを引上げ、このインゴットから切出されたシリコンウェーハを実施例1と同一条件で急速加熱した。

<実施例7>引上げられたインゴットをT₁=650℃まで降温した後、補助ヒータによる熱処理温度T₂=800℃にした以外は、実施例1と同一条件でインゴットを引上げ、このインゴットから切出されたシリコンウェーハを実施例1と同一条件で急速加熱した。

【0022】<比較例1>引上げられたインゴットをT₁=25℃まで降温した後、補助ヒータによる熱処理温度T₂=650℃にした以外は、実施例1と同一条件でインゴットを引上げ、このインゴットから切出されたシリコンウェーハを実施例1と同一条件で急速加熱した。

<比較例2>引上げられたインゴットをT₁=25℃まで降温した後、補助ヒータによる熱処理温度T₂=850℃にした以外は、実施例1と同一条件でインゴットを引上げ、このインゴットから切出されたシリコンウェーハを実施例1と同一条件で急速加熱した。

【0023】<比較例3>引上げられたインゴットをT₁=450℃まで降温した後、補助ヒータによる熱処理温度T₂=650℃にした以外は、実施例1と同一条件でインゴットを引上げ、このインゴットから切出されたシリコンウェーハを実施例1と同一条件で急速加熱した。

<比較例4>引上げられたインゴットをT₁=750℃まで降温した後、補助ヒータによる熱処理温度T₂=800℃にした以外は、実施例1と同一条件でインゴット

を引上げ、このインゴットから切出されたシリコンウェーハを実施例1と同一条件で急速加熱した。

【0024】＜比較評価＞実施例1～7及び比較例1～4の各シリコンウェーハを劈開し、更にウェーハ表面をライト（Wright）エッチング液で選択エッチングを行い、光学顕微鏡の観察により、DZ層の幅と、ウェーハ*

*表面から深さ250 μ mにおけるウェーハの半径の1/2付近と、ウェーハ中心部の酸素析出物（BMD）密度を測定した。これらの結果を表1に示す。

【0025】

【表1】

	インゴット熱処理条件			ウェーハのR/2		ウェーハ中心部	
	T ₁ (℃)	T ₂ (℃)	T ₁ 時間 (分)	BMD密度 (/cm ³)	DZ幅 (μ m)	BMD密度 (/cm ³)	DZ幅 (μ m)
実施例1	25	700	5	7.6 $\times 10^9$	35	8.9 $\times 10^9$	30
" 2	25	800	5	5.2 $\times 10^9$	35	7.5 $\times 10^9$	30
" 3	25	800	10	7.3 $\times 10^9$	25	8.8 $\times 10^9$	20
" 4	450	700	5	3.8 $\times 10^9$	45	4.6 $\times 10^9$	40
" 5	550	700	5	1.1 $\times 10^9$	45	2.8 $\times 10^9$	40
" 6	650	700	5	3.3 $\times 10^9$	45	5.3 $\times 10^9$	45
" 7	650	800	5	1.1 $\times 10^9$	45	4.3 $\times 10^9$	40
比較例1	25	650	5	1.2 $\times 10^{10}$	40	2.2 $\times 10^{10}$	40
" 2	25	850	5	4.1 $\times 10^9$	0	6.6 $\times 10^9$	0
" 3	450	650	5	6.4 $\times 10^7$	50	7.6 $\times 10^7$	50
" 4	750	800	5	2.2 $\times 10^7$	50	3.7 $\times 10^7$	50

（ウェーハのIG熱処理条件：850℃ \times 5分間、昇温速度30℃/分）

【0026】表1から明らかなように、比較例1ではインゴット熱処理温度がT₂=650℃と低過ぎたため、多量の酸素が析出し、必要以上の酸素析出物が生成された。また比較例2ではインゴット熱処理温度がT₂=850℃と高過ぎたため、転位を伴った酸素析出物が生成され、ウェーハ状態で熱処理しても転位が残り、DZ層は全く形成されなかった。また比較例3及び4では熱処理前のインゴットの温度T₁=450℃、750℃からインゴット熱処理温度T₂=650℃、800℃までの温度差がそれぞれ200℃、50℃と少なかったため、酸素が十分に析出せず、IG効果を発揮するとされる10⁹/cm³台にならなかった。これらに対して、実施例1～7のシリコンウェーハでは、BMD密度がIG効果があるとされる10⁹～10⁹/cm³台を示した。特に室温のT₁=25℃から補助ヒータで熱処理した実施例1～3では、5 $\times 10^9$ ～9 $\times 10^9$ /cm³の高いBMD密度が得られ、T₁=650℃、T₂=700℃の実施例6では、45 μ mの幅広いDZ層が得られた。

【0027】

【発明の効果】以上述べたように、本発明によれば、所定のV/Gでインゴット全長がパーフェクト領域になるようにシリコン単結晶インゴットを引上げ、この引上げられたインゴットを所定の条件で熱処理した後、このインゴットから切出されたウェーハを800～900℃の比較的低温で急速加熱することにより、従来のウェーハ内に酸素析出核を導入する前熱処理工程及び酸素析出核の成長工程が不要となり、インゴットから切出された研削研磨した直後のウェーハを少ない熱処理回数でIG能力の高いウェーハにすることができる。

【図面の簡単な説明】

【図1】ボロンコフの理論に基づいた、V/G比が臨界点以上では空孔豊富インゴットが形成され、V/G比が臨界点以下では格子間シリコン豊富インゴットが形成されることを示す図。

【図2】所望の引上げ速度プロファイルを決するため引上げ速度の変化を示す特性図。

【図3】本発明による空孔豊富ウェーハ及びパーフェクトウェーハをそれぞれ成長させるための引上げ速度プロファイルを図式的に示した特性図。

【図4】本発明による基準インゴットの空孔豊富領域、格子間シリコン豊富領域及びパーフェクト領域を示すX線トポグラフィの概略図。

【図5】本発明の空孔型点欠陥の凝集体及び格子間シリコン型点欠陥の凝集体が存在しないインゴット及びウェーハの説明図。

【図6】そのウェーハの平面図。

【図7】中央に空孔豊富領域と、この空孔豊富領域とウェーハの縁部分の間の無欠陥領域を有するインゴット及びウェーハの説明図。

【図8】そのウェーハの平面図。

【図9】本発明のシリコン単結晶引上げ装置の構成図。

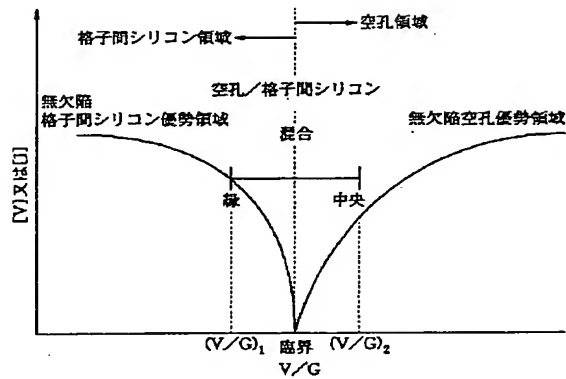
【符号の説明】

- 10 シリコン単結晶引上げ装置
- 11 石英るつば
- 12 シリコン融液
- 13 引上げ手段
- 14 シリコン単結晶インゴット
- 50 16 チャンバ

- 17 補助ヒータ
18 黒鉛るつぼ
19 回転軸
21 ヒータ

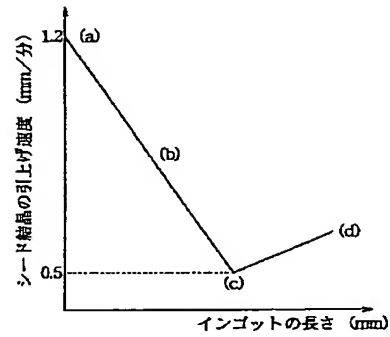
11

【図1】

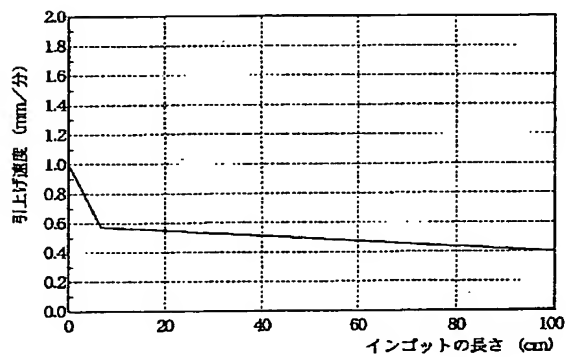


- * 22 保温筒
23 種結晶
24 冷却筒
* 26 熱遮蔽部材

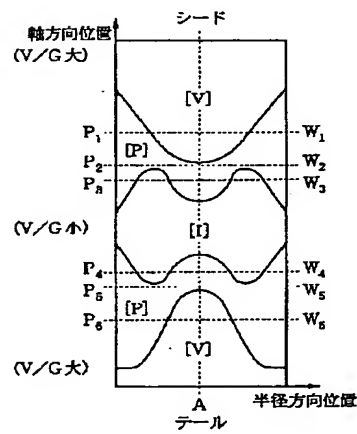
【図2】



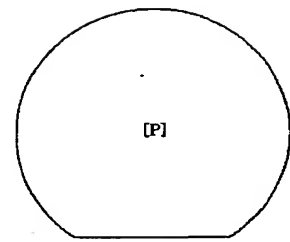
【図3】



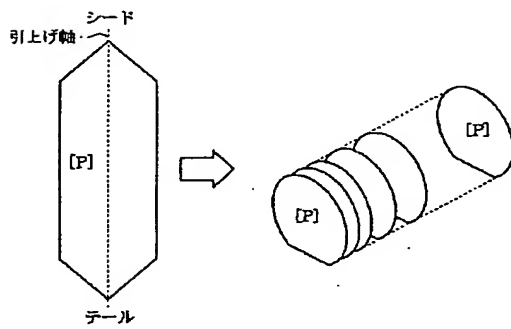
【図4】



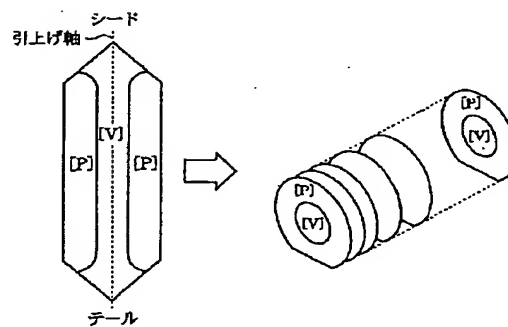
【図6】



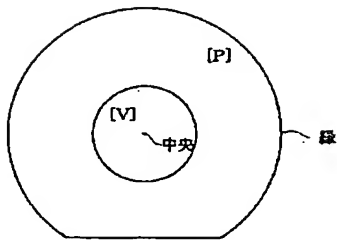
【図5】



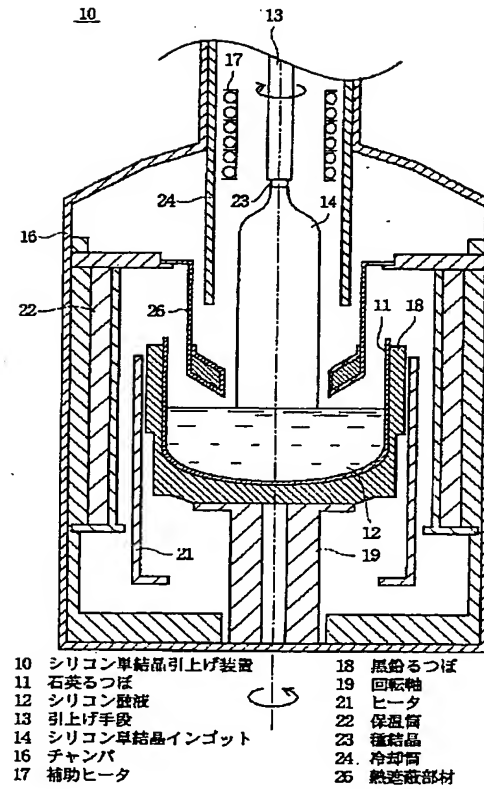
【図7】



【図8】



【図9】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-053078

(43)Date of publication of application : 23.02.2001

(51)Int.Cl.

H01L 21/322
C30B 29/06

(21)Application number : 11-227472

(71)Applicant : MITSUBISHI MATERIALS SILICON CORP

(22)Date of filing : 11.08.1999

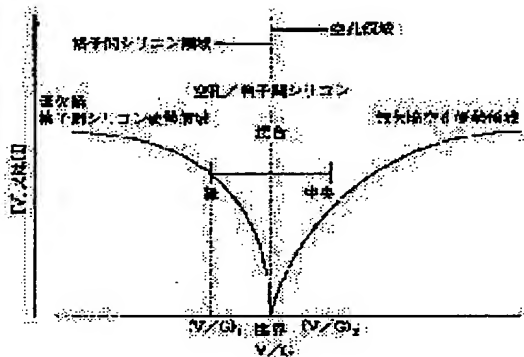
(72)Inventor : FURUYA HISASHI
SUZUKI YOJI

(54) IG PROCESSING METHOD OF SILICON WAFER, IG WAFER FORMED THEREFROM, AND SILICON SINGLE CRYSTAL INGOT USED THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain an IG wafer which undergoes a fewer number of thermal treatments in a wafer state, obtains a required IG effect through a thermal treatment carried out at 900° C or below, and is high in IG performance, and to obtain a silicon single crystal ingot adapted for the IG wafer.

SOLUTION: A silicon wafer which is sliced off from a silicon single crystal ingot, ground and polished, is subjected to an IG processing method where it is quickly heated with a temperature rise rate of 10° C/minute in the temperature range from a room temperature to 800 to 900° C and left to stand for 0.5 to 30 minutes. An ingot is pulled up from a silicon melt so as to be formed of a perfect region [P] where no hole defect aggregate and no interstitial silicon defect aggregate exist. The ingot which is pulled up from a silicon melt, free from dislocations, and contains oxygen deposits of 1×10^6 to $1 \times 10^{10}/\text{cm}^3$ is held at the temperature range from a room temperature to 650° C for 0 to 3 hours, then held at 700 to 800° C for 3 to 10 hours, and then cooled down to a room temperature.



LEGAL STATUS

[Date of request for examination]

13.11.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Rapid heating of the silicon wafer immediately after [which carried out grinding polish] starting from a silicon single crystal ingot is carried out with the above programming rate by 10-degree-C/ from a room temperature to 800-900 degrees C. When setting to [P] the perfect field in which it is IG approach of the silicon wafer held for 0.5 - 30 minutes, and the floc of a hole mold point defect and the floc of the silicon mold point defect between grids do not exist within an ingot, Said silicon single crystal ingot is pulled up from silicon melt so that all fields may consist of said perfect field [P]. And IG approach of the silicon wafer characterized by cooling to a room temperature after holding said ingot which was able to be pulled up at room temperature -650 degree C temperature for 0 to 3 hours and holding at the temperature of further 700-800 degrees C for 3 to 10 hours.

[Claim 2] IG wafer characterized by being IG wafer made from IG approach according to claim 1, forming the layer in which an oxygen sludge is not formed covering a depth of 1-100 micrometers from a wafer front face, and having 1×10^8 to 1×10^{10} oxygen sludges /of 3 cm into a part deeper than said layer.

[Claim 3] The silicon single crystal ingot for IG wafers which is a silicon single crystal ingot which was able to be pulled up from silicon melt so that all fields might consist of said perfect field [P] when setting to [P] the perfect field in which the floc of a hole mold point defect and the floc of the silicon mold point defect between grids do not exist within a silicon single crystal ingot, and is characterized by including an oxygen sludge without rearrangement generating 1×10^6 - 1×10^{10} -piece [/cm] 3.

[Translation done.]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the approach of heating a silicon wafer and carrying out in thorin chic gettering (it being called IG intrinsic gettering and the following.) processing, in order to obtain the silicon wafer suitable for LSI production of DRAM etc. Furthermore, it is related with the approach of carrying out IG processing of the silicon single crystal ingot which was able to be pulled up with the Czochralski method (henceforth a CZ process) in detail, and the silicon wafer cut down from this ingot at low temperature 900 degrees C or less.

[0002]

[Description of the Prior Art] In recent years, high integration of semiconductor devices, such as DRAM, is required based on fertilization of megabit memory, and much more quality improvement is demanded also about the silicon wafer. There is an IG approach as one approach for meeting this request. This approach is an approach which prevents a defect and contamination occurring to the near field on the front face of a wafer which makes a defect beforehand inside a silicon wafer, or adds the impurity intentionally, absorbs around the defect which made beforehand the contamination generated on the way of [subsequent / a process], and a defect, or contamination, and makes a device. On the other hand, the heat treatment temperature in a device process is in a low temperature-ized inclination 1000 degrees C or less by high integration of a device in recent years, and low temperature-ization is strongly desired also in IG processing which is a last process with this low-temperature-izing.

[0003] For this reason, the process which these people hold the silicon wafer immediately after [which carried out grinding polish] starting from a silicon single crystal ingot at 500-800 degrees C for 0.5 to 20 hours, and introduces a precipitation-of-oxygen nucleus in a wafer, The process which carries out rapid heating of the silicon wafer containing this precipitation-of-oxygen nucleus, and holds it for 0.5 - 20 minutes from a room temperature to 800-1000 degrees C, The process which cools radiationally further the silicon wafer which carried out rapid heating, and which was held for 0.5 - 20 minutes to a room temperature, It proposed about IG approach including the process which heats the silicon wafer cooled radiationally to 800-1100 degrees C the rate for 2-10-degree-C[500-700 degrees C to], and is held at the temperature for 2 to 48 hours (JP,8-45945,A).

[0004] In this approach, if rapid heating is carried out on the above-mentioned temperature conditions, as well as a wafer front face, the interior of a wafer will also become below thermal equilibrium concentration temporarily, the silicon atom between grids will be in a deficiency state, and a precipitation-of-oxygen nucleus will become the environment where it is easy to grow up to be stability. Since this silicon atom between grids that ran short will be compensated at coincidence and it will be in a stable state, it is begun inside a wafer for generation of the silicon atom between grids to take place, and to diffuse the generated silicon atom between grids on a wafer front face. Near the wafer front face which suited the deficiency state of the silicon atom between grids will be in a saturation state immediately by generation of the silicon atom between grids, and a precipitation-of-oxygen nucleus begins disappearance. However, in order to require a certain amount of time amount to spread even inside a wafer the silicon atom between grids generated on the wafer front face, the environment where a precipitation-of-oxygen nucleus tends to grow continues for a long time, so that it goes into the interior deeply from a wafer front face. Therefore, the thickness of the layer (henceforth DZ layer) in which a precipitation-of-oxygen nucleus, i.e., a defect, is not formed becomes large, so that the consistency of a precipitation-of-oxygen nucleus is so low that it is close to a wafer front face and this heat treatment time amount (0.5 - 20 minutes) is long. Moreover, the diffusion coefficient of the silicon atom between grids is so large that temperature is high in 800-1000 degrees C, and the thickness

of DZ layer becomes large for a short time. If it heats again to 800-1100 degrees C after carrying out rapid heating and cooling radiationally to a room temperature, the precipitation-of-oxygen nucleus inside the wafer survived by rapid heating will grow, and it will become an oxygen sludge, and will become a stable source of IG.

[0005]

[Problem(s) to be Solved by the Invention] However, the above-mentioned IG approach needed the process which holds the silicon wafer immediately after carrying out grinding polish at 500-800 degrees C as pretreatment for generating the source of IG for 0.5 to 20 hours, and introduces a precipitation-of-oxygen nucleus in a wafer, and after it performed rapid heating further, it needed heat treatment for growing up the precipitation-of-oxygen nucleus inside a wafer into an oxygen sludge. For this reason, there was fault with many counts of heat treatment in the condition of a wafer. There are few counts of heat treatment in the condition of a silicon wafer, and they end, and the purpose of this invention has them in offering IG approach which does the desired IG effectiveness so by heat treatment of 900 degrees C or less. Another purpose of this invention is to offer high IG wafer of IG capacity made with this approach. Still more nearly another purpose of this invention is to offer the silicon single crystal ingot suitable for this IG wafer.

[0006]

[Means for Solving the Problem] Invention concerning claim 1 carries out rapid heating of the silicon wafer immediately after [which carried out grinding polish] starting from a silicon single crystal ingot with the above programming rate by 10-degree-C/from a room temperature to 800-900 degrees C. When setting to [P] the perfect field in which it is IG approach of the silicon wafer held for 0.5 - 30 minutes, and the floc of a hole mold point defect and the floc of the silicon mold point defect between grids do not exist within an ingot, A silicon single crystal ingot is pulled up from silicon melt so that all fields may consist of this perfect field [P]. And after holding the ingot which was able to be pulled up at room temperature -650 degree C temperature for 0 to 3 hours and holding at the temperature of further 700-800 degrees C for 3 to 10 hours, it is IG approach characterized by cooling to a room temperature. If an ingot is pulled up in the condition that the floc of a point defect does not exist and it heat-treats on the above-mentioned conditions further, 1x10⁶ to 1x10¹⁰ oxygen sludges /without rearrangement generating will be generated by the ingot by the consistency of 3 cm. For this reason, before introducing a precipitation-of-oxygen nucleus in the conventional wafer, a heat treatment process and the growth process of a precipitation-of-oxygen nucleus become unnecessary, and the high IG effectiveness is done so by carrying out rapid heating of the wafer immediately after [which carried out grinding polish] starting from an ingot on the above-mentioned conditions.

[0007] Invention concerning claim 2 is IG wafer made from IG approach according to claim 1, and is an IG wafer which the layer (DZ layer) in which an oxygen sludge is not formed is formed covering a depth of 1-100 micrometers from a wafer front face, and is characterized by 1x10⁸ to 1x10¹⁰ oxygen sludge consistencies /of a part deeper than this DZ layer being [cm] 3. The wafer which carried out IG processing by the approach concerning claim 1 has the above-mentioned property, and does the high IG effectiveness so.

[0008]

[Embodiment of the Invention] After pulling up an ingot from the silicon melt in a hot zone furnace by the CZ process by the predetermined pull-up rate profile based on Voronkov's (Voronkov) theory, the silicon wafer of this invention slices this ingot, and is produced. Generally, when the ingot of a silicon single crystal is pulled up from the silicon melt in a hot zone furnace by the CZ process, the floc (agglomerates: three-dimensions defect) of a point defect (point defect) and a point defect occurs as a defect in a silicon single crystal. A point defect has two general gestalten of a hole mold point defect and the silicon mold point defect between grids. A hole mold point defect secedes from one of the normal-[one silicon atom / in a silicon crystal lattice] locations. Such a hole becomes a hole mold point defect. On the other hand, if an atom is discovered in locations other than the lattice point of a silicon crystal (interstitial site), this will become a silicon point defect between grids.

[0009] Generally a point defect is formed in the contact surface between silicon melt (melting silicon) and an ingot (solid silicon). However, it is begun by pulling up an ingot continuously to cool the part which was the contact surface with a pull-up. During cooling, a hole mold point defect or the silicon mold point defect between grids joins mutually by diffusion, and the floc (vacancy agglomerates) of a hole mold point defect or the floc (interstitial agglomerates) of the silicon mold point defect between grids is formed. In other words, floc is the three-dimensional structure which originates in the union of a point defect and is generated. The floc of the silicon mold point defect between grids includes the defect called LD (Interstitial-

type Large Dislocation) including the defect to which the floc of a hole mold point defect is called COP (Crystal Originated Particle), LSTD (Laser Scattering Tomograph Defects), or FPD (Flow Pattern Defects). COP is a pit resulting from the crystal formed in a wafer front face, when the silicon wafer after mirror polishing is washed with the mixed liquor of ammonia and a hydrogen peroxide. If this pit also measures a wafer with a particle counter, it will be detected as particle with original particle. LSTD is a source which has the refractive index from which silicon differs and generates the scattered light, when infrared radiation is irradiated in a silicon single crystal, and it is the source of the trace which presents the unique flow pattern which appears when chemical etching of the silicon wafer which sliced the ingot and was produced is carried out with the SEKO (Secco) etching reagent during 30 minutes in FPD. Moreover, LD is an invasion mold rearrangement, and if it is also called a rearrangement cluster or the silicon wafer which produced this defect is immersed in the selection etching reagent used as a principal component in fluoric acid, since it will produce a pit, it is also called a rearrangement pit.

[0010] When setting the temperature gradient of the contact surface of ingot-silicon melt to G (degree C/mm) for the pull-up rate of an ingot with V (a part for mm/), and hot zone structure, Voronkov's theory is controlling V/G (a part for $2/[mm]^{**}$), in order to grow up a high grade ingot with few defects. In this theory, as shown in drawing 1, V/G expresses hole concentration and the silicon concentration between grids in graph as a function, and it explains that the boundary of a hole / silicon field between grids is determined by V/G with a wafer. While the ingot in which a hole mold point defect exists [a V/G ratio] dominantly above the critical point is formed in more detail, the ingot in which the silicon mold point defect between grids exists [a V/G ratio] dominantly below in the critical point is formed.

[0011] When an ingot can pull up the predetermined pull-up rate profile of this invention from the silicon melt in a hot zone furnace, It is more than the 1st critical ratio (v/G) (1) to which the ratio (V/G) of a pull-up rate to a temperature gradient prevents generating of the floc of the silicon mold point defect between grids. It is decided that it is maintained below at the 2nd critical ratio (V/G) (2) which restricts the floc of a hole mold point defect in the field where the hole mold point defect which exists in the center of an ingot exists dominantly.

[0012] The profile of this pull-up rate is slicing a criteria ingot to shaft orientations experimentally, or is combining these techniques, and is determined by simulation based on above-mentioned Voronkov's theory. That is, this decision checks after simulation the wafer with which the ingot was sliced [with which were sliced and it was shaft-orientations-sliced], and is made by repeating simulation further. Two or more kinds of pull-up rates are decided in the predetermined range for simulation, and two or more criteria ingots grow. As shown in drawing 2, the pull-up rate profile for simulation is adjusted to low 0.5mm pull-up rate for (c), and an again high pull-up rate (d) from a high 1.2mm pull-up rate (a) like [for /]. the above -- a low pull-up rate may be less than [0.4mm a part for /and it], and its linearity-thing is [the change by the pull-up rate (b) and (d)] desirable.

[0013] Two or more criteria ingots which were able to be pulled up at a different rate are sliced by shaft orientations at each **. Optimal V/G is determined from the slice of shaft orientations, the check of a wafer, and the correlation as a result of simulation, the optimal pull-up rate profile is continuously determined, and an ingot is manufactured by the profile. An actual pull-up rate profile is dependent on many variables which are not limited to the ability of the diameter of a desired ingot, the specific hot zone furnace used, the quality of silicon melt, etc. to be included.

[0014] Drawing 3 shows the profile of the pull-up rate for growing up the ingot which has die length of 100cm and the diameter of 200mm which were determined using simulation and association of an experimental technique. Here, the hot zone furnace based on the CZ process of the model name Q41 manufactured at MITSUBISHI MATERIALS silicon Ikuno works was used.

[0015] A pull-up rate is reduced gradually, V/G is reduced continuously, and when the sectional view of the ingot when raising a pull-up rate gradually again and raising V/G continuously is drawn, the fact shown in drawing 4 is known. The perfect field where the floc of [I] and a hole mold point defect and the floc of the silicon mold point defect between grids do not exist [the field where the silicon mold point defect between [V] grids exists / the field where the hole mold point defect within an ingot exists dominantly / in drawing 4 dominantly] is shown as [P], respectively. As shown in drawing 4, the shaft-orientations locations P1 and P6 of an ingot include the field where a hole mold point defect exists in the center dominantly. Locations P3 and P4 include the perfect field of the ring with which the silicon mold point defect between grids exists dominantly, and a center. Moreover, since the ingot of this invention is started, there is no hole mold point defect in the center and a part for a edge does not have a silicon mold point defect between grids, either, locations P2 and P5 are perfect fields altogether.

[0016] The wafers W1 and W6 corresponding to two or more locations P1 and P6 include the field where a hole mold point defect exists in the center dominantly, respectively so that clearly from drawing 4 . Wafer W3 and W4 include the perfect field of the ring with which the silicon mold point defect between grids exists dominantly, and a center. Moreover, since there is no hole mold point defect in the center and a part for a edge does not have a silicon mold point defect between grids, either, wafers W2 and W5 are perfect fields altogether. Wafers W2 and W5 slice the ingot which selected and was decided to make a perfect field altogether as shown in drawing 5 and which pulled up and grew by the rate profile, and are produced. Drawing 6 is the top view. The wafers W1 and W6 which sliced the ingot which grew by another pull-up rate profile, and were produced by reference are shown in drawing 7 . Drawing 8 is the top view. V/G is decided that all the locations P2 and P5 shown in drawing 4 consist of a perfect field [P], and the ingot of this invention can be pulled up with the pull-up equipment shown in drawing 9 . With this pull-up equipment 10, the silicon single crystal ingot 14 which pulled up from the silicon melt 12 stored in the quartz crucible 11, and was able to be pulled up with the means 13 is heated by the space heater 17 formed above the chamber 16. The quartz crucible 11 is supported by the graphite crucible 18, and rotates both crucibles with a revolving shaft 19. For 21, as for a heat insulating mould and 23, a heater and 22 are [seed crystal and 24] cooling domes. The tubed thermal shield member 26 is formed in the perimeter of the ingot 14 which was able to be pulled up, and the radiant heat to the ingot from a heater 21 and silicon melt 12 is covered.

[0017] After being cooled by room temperature -650 degree C by the thermal shield member 26 and the cooling dome 24 and holding the ingot 14 which was able to be pulled up from the silicon melt 12 of this invention at this temperature for 0 to 3 hours, it is held at 700-800 degrees C by the space heater 17 for 3 to 10 hours. After being able to pull up in predetermined length, an ingot 14 is taken out from a chamber 16 and cooled to a room temperature. If an ingot is heat-treated in a 700-800-degree C temperature requirement for 3 to 10 hours, 1x10⁶ to 1x10¹⁰ oxygen sludges (henceforth BMD (Bulk Micro Defect)) /without a rearrangement will be formed in an ingot by the consistency of 3 cm. Only the BMD consistency of less than [1x10⁶ //cm] three is obtained, but when rapid heating is carried out in the state of a next silicon wafer, it is hard to acquire sufficient IG effectiveness in less than 700 degrees C or less than 3 hours. If it exceeds 800 degrees C or 10 hours, respectively, even if the oxygen sludge accompanied by a rearrangement will exceed 1x10¹⁰ consistencies/cm of 3, will be formed and will carry out rapid heating in the state of a next silicon wafer, a rearrangement remains and it becomes impossible moreover, to form DZ layer in a wafer front face. The desirable heat treatment conditions by the space heater are 700-750 degrees C and 0 - 1.5 hours. it is shown to JP,8-45945,A by heat treatment using this space heater -- as -- before rapid heating -- the condition of a wafer -- 500-800 degrees C -- it is not necessary to hold at low temperature comparatively for 0.5 to 20 hours, and to introduce a precipitation-of-oxygen nucleus into high density in a wafer A silicon wafer is cut down from the ingot which was able to be pulled up, and after grinding is carried out and beveling processing is performed, mirror polishing of this wafer is carried out.

[0018] Although the approach of the rapid heating of this invention has the desirable approach of putting into the furnace which heated the silicon wafer of the room temperature which contains an oxygen sludge without rearrangement generating at an above-mentioned rate in temperature of 800-900 degrees C quickly The approach which arranges in the high-speed heating furnace using the lamp which can high temperature generate the silicon wafer of the room temperature which contains an oxygen sludge without rearrangement generating at an above-mentioned rate, turns on a lamp switch, and starts ****, and the temperature of 800-900 degrees C is made to heat quickly may be used. Rapid heating means heat-treating with the above programming rate by 30-degree-C/preferably above by 10-degree-C/here. Since a wafer can be heated to homogeneity when carrying out rapid heating by lamp light exposure, as compared with the case where it puts into the furnace heated beforehand, the advantage of a pile, in a wafer is in curvature more. Rapid heating is carried out, less than 800 degrees C of disappearance of an oxygen sludge [terminal temperature / reaching / near the wafer front face] are insufficient, and DZ layer cannot fully be secured. Moreover, if 900 degrees C is exceeded, it originates in this hot heat treatment, and curvature will occur to a silicon wafer or a bad influence, such as becoming easy to pollute a wafer, will tend to happen. It is 850-900 degrees C preferably. Moreover, the time amount to which the holding time makes the oxygen sludge in a wafer front face reduce in less than 0.5 minutes is too short, disappearance of the oxygen sludge on the front face of a wafer is inadequate, and DZ layer cannot fully be secured. Moreover, if 30 minutes is exceeded, DZ layer of the thickness beyond the need will be obtained and the fault that productivity is low will be produced. For this reason, the holding time is decided in 0.5 - 30 minutes. It is 10 - 30 minutes preferably. Rapid heating is performed in nitrogen-gas-atmosphere mind, an oxygen ambient atmosphere, or atmospheric air. It is among

nitrogen-gas-atmosphere mind preferably. After this rapid heating, if a silicon wafer is cooled radiationally to a room temperature, DZ layer will be formed covering a depth of 1-100 micrometers from a wafer front face, and IG wafer of 3 will be obtained for 1x10⁸ to 1x10¹⁰ BMD consistencies /of a part deeper than this DZ layer cm.

[0019]

[Example] Next, the example of this invention is explained with the example of a comparison.

Using the pull-up equipment 10 shown in <example 1> drawing 9, an ingot overall length is a field corresponding to the location P2 shown in drawing 4, and the ingot was pulled up so that V/G shown in drawing 1 might go into or more 1 (V/G) (V/G) two or less field. After the ingot 14 which was able to be pulled up lowered the temperature to T1=25 degree C, the temperature up was carried out to T2=700 degree C with the upside space heater 17, and it held there for 5 hours. After having cut down the silicon wafer, carrying out grinding polish from the cooled ingot to the room temperature and performing beveling processing, chemical etching processing removed the damage on the front face of a wafer, and the mirror plane silicon wafer was obtained. After carrying out the temperature up of this mirror plane wafer and holding it for 5 minutes from a room temperature to 850 degrees C by part for programming-rate/of 30 degrees C, it cooled radiationally to the room temperature.

[0020] Except having made it heat-treatment-temperature T2=800 degree C by the <example 2> space heater, the ingot was pulled up on the same conditions as an example 1, and rapid heating of the silicon wafer cut down from this ingot was carried out on the same conditions as an example 1.

Except having carried out heat-treatment-temperature T2=800 degree C by the <example 3> space heater, and the holding time in T2 in 10 hours, the ingot was pulled up on the same conditions as an example 1, and rapid heating of the silicon wafer cut down from this ingot was carried out on the same conditions as an example 1.

<Example 4> After lowering the ingot which was able to be pulled up to T1=450 degree C, except having made it heat-treatment-temperature T2=700 degree C by the space heater, the ingot was pulled up on the same conditions as an example 1, and rapid heating of the silicon wafer cut down from this ingot was carried out on the same conditions as an example 1.

[0021] <Example 5> After lowering the ingot which was able to be pulled up to T1=550 degree C, except having made it heat-treatment-temperature T2=700 degree C by the space heater, the ingot was pulled up on the same conditions as an example 1, and rapid heating of the silicon wafer cut down from this ingot was carried out on the same conditions as an example 1.

<Example 6> After lowering the ingot which was able to be pulled up to T1=650 degree C, except having made it heat-treatment-temperature T2=700 degree C by the space heater, the ingot was pulled up on the same conditions as an example 1, and rapid heating of the silicon wafer cut down from this ingot was carried out on the same conditions as an example 1.

<Example 7> After lowering the ingot which was able to be pulled up to T1=650 degree C, except having made it heat-treatment-temperature T2=800 degree C by the space heater, the ingot was pulled up on the same conditions as an example 1, and rapid heating of the silicon wafer cut down from this ingot was carried out on the same conditions as an example 1.

[0022] <Example 1 of a comparison> After lowering the ingot which was able to be pulled up to T1=25 degree C, except having made it heat-treatment-temperature T2=650 degree C by the space heater, the ingot was pulled up on the same conditions as an example 1, and rapid heating of the silicon wafer cut down from this ingot was carried out on the same conditions as an example 1.

<Example 2 of a comparison> After lowering the ingot which was able to be pulled up to T1=25 degree C, except having made it heat-treatment-temperature T2=850 degree C by the space heater, the ingot was pulled up on the same conditions as an example 1, and rapid heating of the silicon wafer cut down from this ingot was carried out on the same conditions as an example 1.

[0023] <Example 3 of a comparison> After lowering the ingot which was able to be pulled up to T1=450 degree C, except having made it heat-treatment-temperature T2=650 degree C by the space heater, the ingot was pulled up on the same conditions as an example 1, and rapid heating of the silicon wafer cut down from this ingot was carried out on the same conditions as an example 1.

<Example 4 of a comparison> After lowering the ingot which was able to be pulled up to T1=750 degree C, except having made it heat-treatment-temperature T2=800 degree C by the space heater, the ingot was pulled up on the same conditions as an example 1, and rapid heating of the silicon wafer cut down from this ingot was carried out on the same conditions as an example 1.

[0024] Cleavage of each silicon wafer of the <comparative-evaluation> examples 1-7 and the examples 1-4

of a comparison was carried out, the light (Wright) etching reagent performed selective etching for the wafer front face further, and near [1/2] the radius of the wafer in a depth of 250 micrometers and the oxygen sludge (BMD) consistency of a wafer core were measured from the width of face and the wafer front face of DZ layer by observation of an optical microscope. These results are shown in Table 1.

[0025]

[Table 1]

	インゴット熱処理条件			ウェーハのR/2		ウェーハ中心部	
	T ₁ (°C)	T ₂ (°C)	T ₂ 時間 (分)	BMD密度 (/cm ³)	DZ幅 (μm)	BMD密度 (/cm ³)	DZ幅 (μm)
実施例 1	25	700	5	7.6×10^9	35	8.9×10^9	30
" 2	25	800	5	5.2×10^9	35	7.5×10^9	30
" 3	25	800	10	7.3×10^9	25	8.8×10^9	20
" 4	450	700	5	3.8×10^9	45	4.6×10^9	40
" 5	550	700	5	1.1×10^9	45	2.8×10^9	40
" 6	650	700	5	3.3×10^9	45	5.3×10^9	45
" 7	650	800	5	1.1×10^9	45	4.3×10^9	40
比較例 1	25	650	5	1.2×10^{10}	40	2.2×10^{10}	40
" 2	25	850	5	4.1×10^9	0	6.6×10^9	0
" 3	450	650	5	6.4×10^7	50	7.6×10^7	50
" 4	750	800	5	2.2×10^7	50	3.7×10^7	50

(ウェーハのIG熱処理条件：850°C×5分間、昇温速度30°C/分)

[0026] In the example 1 of a comparison, since ingot heat treatment temperature was too as low as T₂=650 degree C, a lot of oxygen deposited and the oxygen sludge beyond the need was generated, so that clearly from Table 1. Moreover, in the example 2 of a comparison, since ingot heat treatment temperature was too as high as T₂=850 degree C, even if the oxygen sludge accompanied by a rearrangement was generated and having been heat-treated in the state of the wafer, the rearrangement remained and DZ layer was not formed at all. Moreover, in the examples 3 and 4 of a comparison, 200 degrees C, 50 degrees C, and since it was few, oxygen did not fully deposit and the temperature gradient to temperature T₁=450 degree C of the ingot before heat treatment and 750 degrees C to ingot heat-treatment-temperature T₂=650 degree C and 800 degrees C was not set to three 10⁸-/cm supposed that the IG effectiveness is demonstrated, respectively. The silicon wafer of examples 1-7 showed three 10⁸-10⁹-/cm by which it is presupposed that there is the IG effectiveness a BMD consistency to these. Especially, in the examples 1-3 heat-treated with the space heater from T₁=25 degree C of a room temperature, the high BMD consistency of 5×10⁹ to 9×10⁹-/cm³ was obtained, and 45-micrometer broad DZ layer was obtained in the example 6 which are T₁=650 degree C and T₂=700 degree C.

[0027]

[Effect of the Invention] As stated above, according to this invention, a silicon single crystal ingot is pulled up so that an ingot overall length may become a perfect field by predetermined V/G. After heat-treating this ingot that was able to be pulled up on condition that predetermined, the wafer cut down from this ingot 800-900 degrees C by carrying out rapid heating at low temperature comparatively Before introducing a precipitation-of-oxygen nucleus in the conventional wafer, a heat treatment process and the growth process of a precipitation-of-oxygen nucleus become unnecessary, and the wafer immediately after [which carried out grinding polish] starting from an ingot can be used as the high wafer of IG capacity by the small count of heat treatment.

[Translation done.]

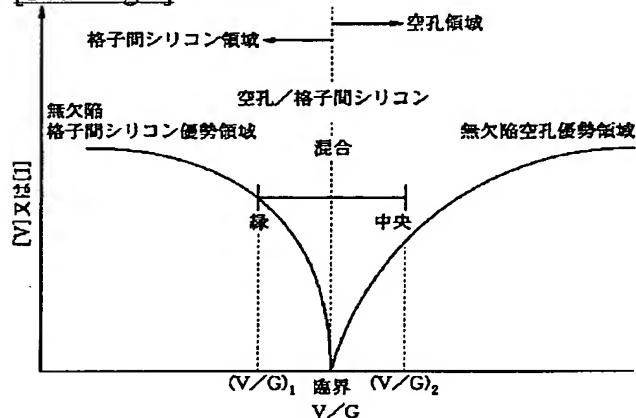
* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

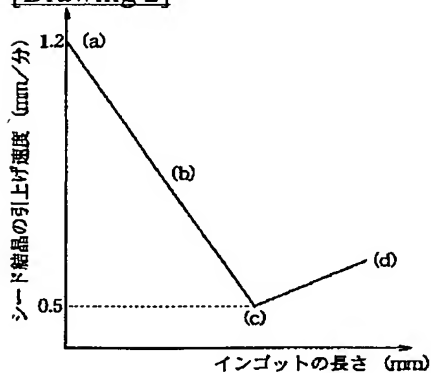
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

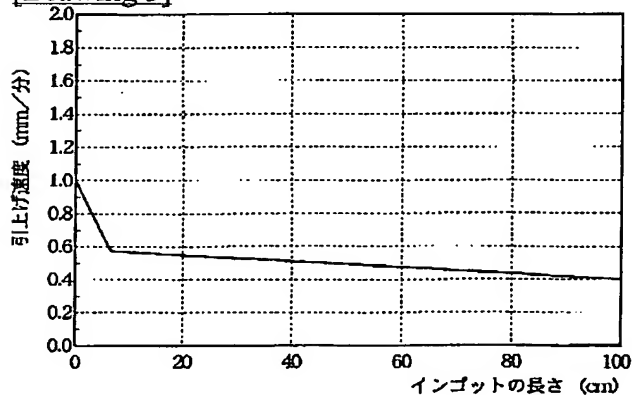
[Drawing 1]



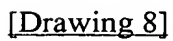
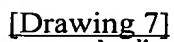
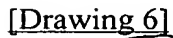
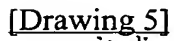
[Drawing 2]

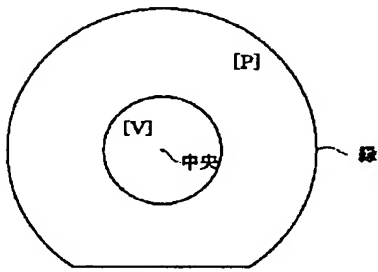


[Drawing 3]

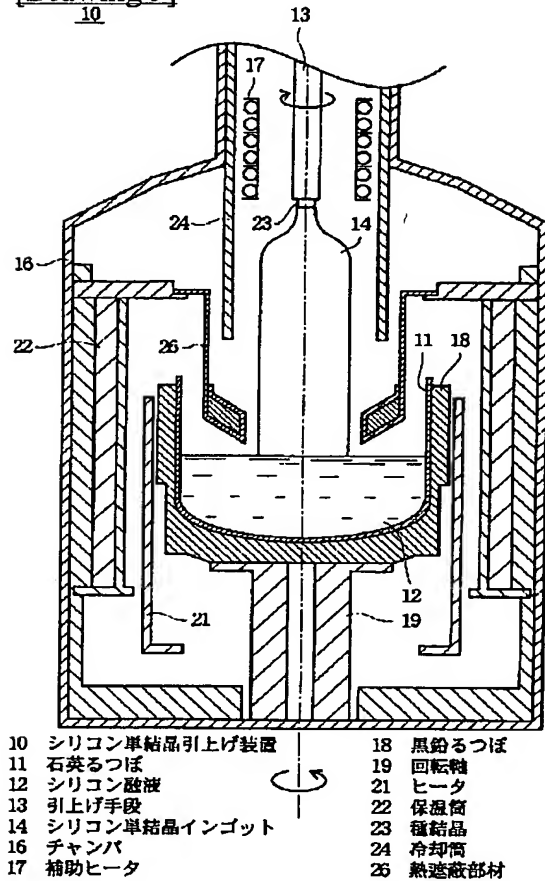


[Drawing 4]





[Drawing 9]



[Translation done.]